

Ergebnisse der Evaluation

Ergebnis der Evaluation (2/4)

	Schnitt	1	2	3	4	5	N/W
10. Der Dozent ist regelmäßig für Fragen verfügbar	1,6 ↗	50%	25%	8%	4%	0%	13%
11. Die Übungen prüfen mein Verständnis und Wissen vernünftig	2,4 ↘	21%	25%	33%	13%	0%	4%
12. Die Übungen können im verfügbaren Zeitrahmen von angemessen vorbereiteten Studenten bewältigt werden	2,0 ↘	21%	58%	13%	4%	0%	0%
13. In der Vorlesung lerne ich etwas Neues dazu	1,5 ↗	58%	38%	0%	4%	0%	0%
14. Ich würde diese Vorlesung anderen Studenten empfehlen	2,3 ↘	25%	29%	33%	13%	0%	0%
15. Ich würde den Dozenten anderen Studenten empfehlen	1,5 ↗	58%	33%	4%	4%	0%	0%
16. Die Vorlesung regt mich dazu an, mich auch weiter mit dem Thema zu beschäftigen	2,8 ↘	8%	38%	25%	25%	4%	0%

Ergebnis der Evaluation (1/4)

Statistik: 24 ausgefüllte Fragebögen
Vergleich mit Zwischenevaluation: ↗ ↘

	Schnitt	1	2	3	4	5	N/W
1. Die Vorlesung ist inhaltlich interessant	2,0 ↗	25%	54%	13%	8%	0%	0%
2. Ich besuche die Vorlesung gerne	2,2 ↗	13%	58%	25%	4%	0%	0%
3. Der Dozent hält die Vorlesung selbst gerne	1,5 ↗	58%	38%	0%	4%	0%	0%
4. Der Dozent kennt sich mit dem Vorlesungsthema aus	1,5 ↘	58%	33%	4%	4%	0%	0%
5. Der Dozent drückt sich klar und verständlich aus	1,8 ↘	42%	42%	13%	4%	0%	0%
6. Die Vorlesung ist gut strukturiert	2,0 ↘	25%	58%	13%	4%	0%	0%
7. Der Dozent vermittelt die Schlüsselkonzepte, Begriffe und Methoden	2,0 ↘	21%	54%	21%	0%	0%	4%
8. Der Dozent geht während oder nach der Vorlesung auf Fragen ein	1,3 ↘	75%	21%	4%	0%	0%	0%
9. Fragen werden zufriedenstellend beantwortet	1,6 ↗	50%	46%	0%	4%	0%	0%

Ergebnis der Evaluation (3/4)

	0-25%	25-50%	50-75%	75%-alle
Wie viele Veranstaltungen haben Sie besucht?	0%	0%	13%	88%
Wie viele Übungen/Praktika haben Sie besucht?	8%	21%	13%	58%
Welchen Anteil des Veranstaltungsstoffes haben Sie grundsätzlich verstanden?	0%	25%	46%	29%
Welchen Anteil des Veranstaltungsstoffes könnten Sie sofort aktiv anwenden?	4%	29%	63%	0%

	Ja	Nein
Haben Sie in der Veranstaltung Fragen gestellt?	38%	63%
Haben Sie in der Übung oder außerhalb der Veranstaltungen Fragen gestellt?	67%	33%
Haben Sie eine Veranstaltung zum gleichen Thema schon früher gehört?	4%	92%

Ergebnis der Evaluation (4/4)

+	- / Verbesserungen
<ul style="list-style-type: none"> • 4x: Audiodateien • 3x: Python • 2x: Inhalt; Thema inhaltlich interessant • 2x: guter Dozent • Zwischenpause • Kaum Tafelbilder, alle Folien auf der Homepage verfügbar • Fragen können jederzeit gestellt werden • Themen wurden gut und interessant vorgestellt 	<ul style="list-style-type: none"> • 2x Vorlesungssaal; anderer Raum für Vorlesung - es fällt schwer, in den Sälen aufzupassen (R0.058) • Bessere Struktur (z. B. keine Floats) • Stoffüberschneidungen mit IT-Systeme etwas vermeiden, da sehr viel doppelt vorgekommen ist • Hardware in die Hand nehmen • Diverse Konzepte (z. B. Paging) in Präsentation grafisch animieren • Weniger an den Folien kleben • Mehr Vorlesungsbezug in den Übungen • Mehr Tipps zum Prüfungstoff

Zusammenfassung / Gliederung

Feedback auch bei MeinProf.de?

MeinProf-Profil: <http://meinprof.de/hgesser>
auch von Vorlesungswebseite aus verlinkt

Veranstaltung	#	Durchschnitt
Betriebssysteme (Vorlesung + Übung/Tutorium)	14	4.68
Informatik-Grundlagen (Vorlesung + Übung/Tutorium)	4	4.94
Rechnerarchitektur (Vorlesung + Übung/Tutorium)	0	-

Gliederung (1/10)

1. Grundlagen

- Begriffsbestimmung: RA, R-Anatomie, R-Technik
- Betrachtungsebenen: Globale Systemebene, Maschinenbefehlssatzebene, Register-Transfer-Ebene (Mikroprogramm-E.)
- Universalrechner (v. Neumann; Harvard)
- Landschaft der Prozessoren
Flynn: SISD, SIMD, MIMD, MISD
Moore's Law

Gliederung (2/10)

2. ISA: Instruction Set Architecture

- Befehlssatz
 - Länge von Befehlen (hängt von → Adr.-Arten ab)
 - Befehlsarten: → ...
- Registerstruktur
 - typische Register
- Adressierungsarten
 - Operanden und Ergebnis: Register/Memory, Register/Register (Load/Store), Stack, Akku
 - Null-, Ein-, Zwei-, Drei-Adress-Befehle
 - Register-Adr., unmittelbare Adr., Programm-zählerrelative Adr., Absolute Speicheradr., ...
- Interruptbehandlung

2
3



Gliederung (4/10)

3. Leistungsmessung

- Taktfrequenz, MIPS, FLOPS, CPI / IPC (Cycles per Instruction & anders rum)
- Leistungsaufnahme
- fps (Frames per Second)
- Benchmarks: synthetisch / Anwendungs-B. Whetstone / Dhrystone
- Benchmarks mit Details; SPEC-CINT, SPEC-CFP
- Benchmarks u.a. abhängig von CPU, Speicherarchitektur, Compiler (Optimierung)
- Rolle des Compilers

5



Gliederung (3/10)

2. ISA: Instruction Set Architecture

- Befehlsarten
 - Gleitkomma-Arithmetik
 - Bedingte Befehle
 - SIMD-Befehle (MMX, SSE)
- Speicherzugriff: Little / Big Endian

3

Exkurs: Gleitkommazahlen

- ganze, Fixkomma- und Gleitkommazahlen
- Gleitkomma-Darstellung nach IEEE 754
- ungleichmäßige Verteilung; „Lücke“ um 0 herum

4



Gliederung (5/10)

4. Pipelining

- Warum Pipelines?
- Klassische 5-Stufen-Pipeline (RISC)
- Taktung der Pipeline
- Programmausführung mit/ohne Pipeline (MMIX)
- Pipeline-Diagramme
- Pipeline-Hemmnisse
 - strukturell (z.B. lange FP-Befehle)
 - Datenabhängigkeit (data hazard)
 - ablaufbedingt
- Result Forwarding
- Pipeline löschen bei falscher Sprungvorhersage
- Umgang mit Interrupts

6
7



Gliederung (6/10)

5. Superskalare Architekturen

- Mehrere Ausführungseinheiten
- parallele Pipelines: abhängig (Pent.) / unabhängig
- out-of-order completion
- Datenabhängigkeiten: RAW, WAW, WAR, RAR
Abhängigkeitsgraph (immer ohne RAR)
transitive Pfeile
- Phasen superskalarer Pipelines
- Reorder Buffer, mit Tabellennotation
- Register Renaming:
implizite/explicite Umbenennung
- Pentium Pro Pipeline (Übung)

7

8

9



Gliederung (8/10)

7. Speicher

- Speicherzugriff: Zeilen/Spalten
- Speicherhierarchie
- Caching
Cache-Lines
assoziativer Cache
direkt-abbildender Cache
n-way associative cache
Lokalitätsprinzip
- Cache-Verdrängung, Strategien
LRU
Pseudo-LRU

10

11



Gliederung (7/10)

6. Sprungvorhersage

- Leistungsverlust
- Sprungvermeidung
- Statische Sprungvorhersage: Probable Branch
- Dynamische Sprungvorhersage
 - n-Bit-Prädiktoren
 - Historie, lokal (versch. Schieberegister für versch. Adressen) / global (nur 1 Reg.)
 - Schema für Aktualisierung der Prädiktortabellen

9

10



Gliederung (9/10)

7. Speicher

- Paging
Virtueller / physikalischer Adressraum
Adressübersetzung
Lokalitätsprinzip
Translation-Lookaside-Buffer (TLB)
Demand Paging
Seitenersetzung; modify/dirty bit
Seitenersetzungsstrategien: FIFO, LRU
Paging vs. Caching
- Memory Mapped I/O
Alternativen zu Mem.Mapped I/O

11

12



Gliederung (10/10)

8. Mehrprozessor-, Multi-Core-Systeme - nicht mehr Klausur-relevant

14



Vorschau

- **Nachmittag:** Besprechung der Probeklausur,
„letzte Fragen“,
in Raum 2.007 (ab 13:30 und 15:15)
- **17.01.2011:** Klausur
- **20.01.2011:** Kapitel „Mehrprozessor- und
Multi-Core-Systeme“
(nicht prüfungsrelevant ;-)
Übung: entfällt

